

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2002-040479**

(43)Date of publication of application : **06.02.2002**

(51)Int.Cl.

G02F 1/1368

G09F 9/00

G09F 9/30

H01L 29/786

H01L 21/336

(21)Application number : **2000-221858**

(71)Applicant : **ADVANCED DISPLAY INC**

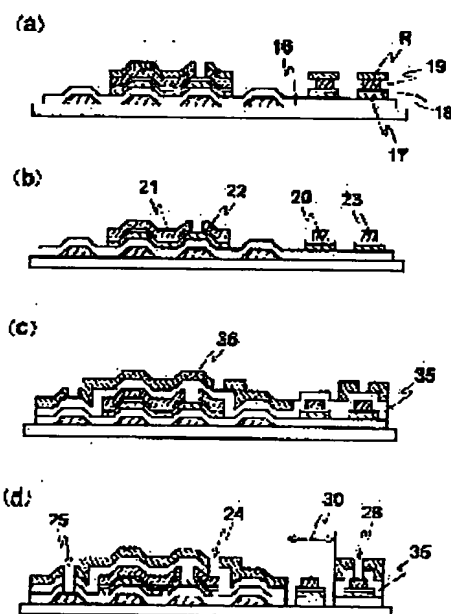
(22)Date of filing : **24.07.2000** (72)Inventor : **MATSUBARA RYOTA**

## (54) METHOD FOR MANUFACTURING TFT ARRAY SUBSTRATE OF LIQUID CRYSTAL DISPLAY DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To actualize an increase in aperture rate and a decrease in source wire resistance and to prevent source-common capacity from increasing by removing a semiconductor layer which projects from the side of a source wire.

**SOLUTION:** When a contact hole is formed by removing part of a protection film, the protection film on the source wire, the protection film by the source wire, and the gate insulating film by the source wire are removed at the same time and the part of the exposed semiconductor layer which projects from the side of the source wire is removed by using as a mask a resist pattern for removing part of the protection film and/or the source wire.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application]

other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-40479

(P2002-40479A)

(43) 公開日 平成14年2月6日 (2002.2.6)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	ターミナル* (参考)
G 0 2 F 1/1368		C 0 9 F 9/00	3 4 2 Z 2 H 0 9 2
G 0 9 F 9/00	3 4 2	9/30	3 3 8 5 C 0 9 4
9/30	3 3 8	G 0 2 F 1/136	5 0 0 5 F 1 1 0
H 0 1 L 29/786		H 0 1 L 29/78	6 1 2 D 5 G 4 3 5
21/336			

審査請求 未請求 請求項の数14 O L (全 13 頁)

(21) 出願番号 特願2000-221858(P2000-221858)

(22) 出願日 平成12年7月24日 (2000.7.24)

(71) 出願人 595059056

株式会社アドバンスト・ディスプレイ  
熊本県菊池郡西合志町御代志997番地

(72) 発明者 松原 良太

熊本県菊池郡西合志町御代志997番地 株  
式会社アドバンスト・ディスプレイ内

(74) 代理人 100065226

弁理士 朝日奈 宗太 (外1名)

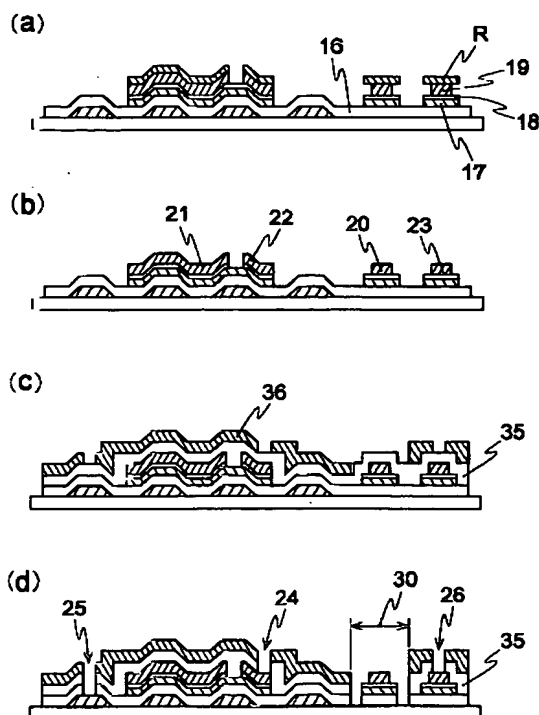
最終頁に続く

(54) 【発明の名称】 液晶表示装置のTFTアレイ基板製造方法

(57) 【要約】

【課題】 ソース配線の横にはみ出した半導体層を除去し、開口率の増大とソース配線抵抗の低減をはかるとともに、ソース-コモン間容量の増大を防止する。

【解決手段】 保護膜の一部を除去してコンタクトホールを形成する際に、ソース配線上の保護膜、ソース配線横の保護膜およびソース配線横のゲート絶縁膜を同時に除去し、露出した半導体層のうちソース配線横にはみ出している部分を、保護膜の一部を除去するためのレジストパターンおよび/またはソース配線をマスクとして除去する。



## 【特許請求の範囲】

【請求項1】 基板上に、少なくともゲート絶縁膜、半導体層および金属層をこの順に形成し、写真製版によって形成した1枚のレジストパターンを使用して、金属層の一部を選択的に除去してソース配線を形成するとともにソース配線横の半導体層も除去するTFTアレ基板の製造方法であって、前記ソース配線の形成およびソース配線横の半導体層の除去後に、保護膜を成膜し、該保護膜上に、該保護膜の一部を選択的に除去するための1枚のレジストパターンを形成し、該レジストパターンを使用して、前記ソース配線上の保護膜、前記ソース配線横の保護膜および前記ソース配線横のゲート絶縁膜を除去することにより、前記ソース配線下の半導体層を露出させるTFTアレ基板の製造方法。

【請求項2】 前記露出したソース配線下の半導体層のうち、ソース配線からはみ出している部分を、前記保護膜の一部を選択的に除去するための1枚のレジストパターンおよび／または前記ソース配線をマスクとしたエッチングによって除去する請求項1記載のTFTアレ基板の製造方法。

【請求項3】 前記露出したソース配線下の半導体層のうち、ソース配線からはみ出している部分を、一部が選択的に除去された後の前記保護膜および／または前記ソース配線をマスクとしたエッチングによって除去する請求項1記載のTFTアレ基板の製造方法。

【請求項4】 基板上に、少なくともゲート絶縁膜、半導体層および金属層をこの順に形成し、写真製版によって形成した1枚のレジストパターンを使用して、金属層の一部を選択的に除去してソース配線を形成するとともにソース配線横の半導体層も除去するTFTアレ基板の製造方法であって、前記ソース配線の形成およびソース配線横の半導体層の除去後に、保護膜を成膜しないTFTアレ基板の製造方法。

【請求項5】 基板上に、少なくともゲート絶縁膜、半導体層および金属層をこの順に形成し、写真製版によって形成した1枚のレジストパターンを使用して、金属層の一部を選択的に除去してソース配線を形成するとともにソース配線横の半導体層も除去するTFTアレ基板の製造方法であって、前記ソース配線の形成およびソース配線横の半導体層の除去後に、保護膜を成膜せずに、露出している前記ソース配線下の半導体層のうちソース配線からはみ出している部分を、前記ソース配線をマスクとしたエッチングによって除去するTFTアレ基板の製造方法。

【請求項6】 さらにITO膜を成膜し、該ITO膜の一部を選択的に除去するパターニングにおいて、前記ソ

ース配線上のITO膜を除去せずに残すことにより、前記ソース配線を覆うITO膜を形成する請求項1、2、3、4または5記載のTFTアレ基板の製造方法。

【請求項7】 基板上に、少なくともゲート絶縁膜、第1の半導体層、第2の半導体層および金属層をこの順に形成し、さらに写真製版によってフォトリソを除去した領域、フォトリソの薄い領域およびフォトリソの厚い領域からなる1枚のレジストパターンを形成し、フォトリソを除去した領域では、前記金属層、前記第2の半導体層および前記第1の半導体層が除去され、フォトリソの薄い領域では、前記金属層および前記第2の半導体層が除去され、フォトリソの厚い領域では、前記金属層、前記第2の半導体層および前記第1の半導体層が除去されずに残り、フォトリソの厚い領域に残る金属層によってソース配線が形成されるTFTアレ基板の製造方法であって、前記ソース配線の近傍が、フォトリソの薄い領域とされており、前記金属層および前記第2の半導体層が除去され、第1の半導体層が残されるTFTアレ基板の製造方法。

【請求項8】 基板上に、少なくともゲート絶縁膜、第1の半導体層、第2の半導体層および金属層をこの順に形成し、さらに写真製版によってフォトリソを除去した領域、フォトリソの薄い領域およびフォトリソの厚い領域からなる1枚のレジストパターンを形成し、フォトリソを除去した領域では、前記金属層、前記第2の半導体層および前記第1の半導体層が除去され、フォトリソの薄い領域では、前記金属層および前記第2の半導体層が除去され、フォトリソの厚い領域では、前記金属層、前記第2の半導体層および前記第1の半導体層が除去されずに残り、フォトリソの厚い領域に残る金属層によってソース配線が形成されるTFTアレ基板の製造方法であって、前記ソース配線横が、フォトリソの薄い領域とされており、前記金属層および前記第2の半導体層が除去され、第1の半導体層が残され、その後前記レジストパターンを除去して保護膜が成膜され、該保護膜上に、該保護膜の一部を選択的に除去するための1枚のレジストパターンを形成し、該レジストパターンを使用して、前記ソース配線上の保護膜および前記ソース配線横の保護膜を除去することにより、前記ソース配線近傍の第2および第1の半導体層を露出させるTFTアレ基板の製造方法。

【請求項9】 前記露出したソース配線近傍の第2および第1の半導体層のうち、ソース配線からはみ出している部分を、前記保護膜の一部を選択的に除去するための1枚のレジストパターンおよび／または前記ソース配線をマスクとしたエッチングによって除去する請求項8記載のTFTアレ基板の製造方法。

【請求項10】 前記露出したソース配線近傍の第2および第1の半導体層のうち、ソース配線からはみ出している部分を、

一部が選択的に除去された後の前記保護膜および／または前記ソース配線をマスクとしたエッチングによって除去する請求項8記載のTFTアレ基板の製造方法。

【請求項11】 基板上に、少なくともゲート絶縁膜、第1の半導体層、第2の半導体層および金属層をこの順に形成し、さらに写真製版によってフォトリソを除去した領域、フォトリソの薄い領域およびフォトリソの厚い領域からなる1枚のレジストパターンを形成し、

フォトリソを除去した領域では、前記金属層、前記第2の半導体層および前記第1の半導体層が除去され、フォトリソの薄い領域では、前記金属層および前記第2の半導体層が除去され、

フォトリソの厚い領域では、前記金属層、前記第2の半導体層および前記第1の半導体層が除去されずに残り、

フォトリソの厚い領域に残る金属層によってソース配線が形成されるTFTアレ基板の製造方法であって、

前記ソース配線横が、フォトリソの薄い領域とされており、前記金属層および前記第2の半導体層が除去され、第1の半導体層が残され、

その後前記レジストパターンの除去後に、保護膜を成膜しないTFTアレ基板の製造方法。

【請求項12】 ゲート配線およびゲート配線端部の下部パッドが形成された基板上に、少なくともゲート絶縁膜、第1の半導体層、第2の半導体層および金属層をこの順に形成し、さらに写真製版によってフォトリソを除去した領域、フォトリソの薄い領域およびフォトリソの厚い領域からなる1枚のレジストパターンを形成し、

フォトリソを除去した領域では、前記金属層、前記第2の半導体層および前記第1の半導体層が除去され、フォトリソの薄い領域では、前記金属層および前記第2の半導体層が除去され、

フォトリソの厚い領域では、前記金属層、前記第2の半導体層および前記第1の半導体層が除去されずに残り、

フォトリソの厚い領域に残る金属層によってソース配線が形成されるTFTアレ基板の製造方法であって、

て、

前記ソース配線横が、フォトリソの薄い領域とされており、前記金属層および前記第2の半導体層が除去され、第1の半導体層が残され、

その後前記レジストパターンを除去した後に、保護膜を成膜せずに、ソース配線近傍の第2および第1の半導体層のうちソース配線からはみ出している部分を、ソース配線をマスクとしたエッチングによって除去するTFTアレ基板の製造方法。

【請求項13】 さらにITO膜を成膜し、該ITO膜の一部を選択的に除去するパターニングにおいて前記ソース配線上のITO膜を除去せずに残すことにより、前記ソース配線を覆うITO膜を形成する請求項7、8、9、10、11または12記載のTFTアレ基板の製造方法。

【請求項14】 フォトマスクを用いない周辺露光工程において、ゲート配線端部の下部パッド上のフォトリソを除去し、エッチングにより前記ゲート絶縁膜の一部が除去され前記ゲート配線端部の下部パッドが露出することを特徴とする請求項12記載のTFTアレ基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置の製造方法に関し、とくにアクティブマトリクス型の液晶表示装置のTFTアレ基板の製造方法に関する。

【0002】

【従来の技術】液晶表示装置は、液晶の電気光学特性を利用し偏光板と組み合わせ、液晶に印加する電圧を制御することにより表示をおこなうものであり、CRTに比べ重量が小さく携帯性に優れ、近年、モバイルコンピュータの表示装置などに応用されている。

【0003】なかでも、個々の画素に薄膜トランジスタ(TFT)などのスイッチング素子を設けて液晶に印加する電圧の制御をおこなうアクティブマトリクス型液晶表示装置は、単純マトリクス型液晶表示装置と比較して、表示品位に優れているといった特徴を有しており、その開発、応用が盛んにおこなわれている。

【0004】図1に基本的なアクティブマトリクス型液晶表示装置の等価回路を示し、その動作について説明する。図1(b)は、図1(a)のP部を部分拡大した図である。

【0005】ゲート配線1およびソース配線2の交差部に、TFTなどのスイッチング素子7、液晶容量8、補助容量9が形成され画素を構成している。画素をマトリクス状に配置してTFTアレ基板を形成する。

【0006】ゲート配線に選択パルスが印加されると、該ゲート配線に接続されたすべてのスイッチング素子がオン状態となり、それぞれのスイッチング素子に接続されたソース配線に印加されている信号が、スイッチング

素子を介して液晶容量および補助容量に書き込まれる。選択パルスの印加が終了しゲート配線が非選択状態となると、スイッチング素子はオフ状態となり、前記液晶容量および補助容量に書き込まれた電荷は、一垂直走査期間が経過して前記ゲート配線に再度選択パルスが印加されるまで保持される。

【0007】通常、アクティブマトリックス型の液晶表示装置は、液晶の層を挟持して対向する2枚の基板の一方に、TFTなどのスイッチング素子を設けてTFTアレイ基板とし、他方にコモン電極を設けて対向基板とする。

【0008】従来の技術によるTFTアレイ基板の製造方法について、図2および図3、図4を用いて説明する。

【0009】図2は、TFTアレイ基板の要部を拡大した平面図である。図2において、ゲート配線13およびソース配線20の交差部に、ゲート電極12、ソース電極21、ドレイン電極22からなるTFTが形成されており、TFTのドレイン電極22は画素電極27に接続されている。外部から選択パルスを印加するために、ゲート配線13の端部は液晶表示装置の表示領域の外まで延伸され、下部パッド15を形成している。下部パッド15は、コンタクトホール25を介して上部パッド28と接続されており、ここから選択パルスが入力される。

【0010】図2には示されていないが、ソース配線20の端部も同様に、液晶表示装置の表示領域の外まで延伸され、下部パッド23を形成している。下部パッド23は、コンタクトホール26を介して上部パッド29と接続されており、ここから信号が入力される。

【0011】図3および図4は、図2のTFTアレイ基板の製造方法を説明する断面図である。

【0012】まず、絶縁性基板11上に、スパッタなどの手法を用いて第1の金属層を形成する。第1の金属層は、Cr、Al、Moなどの金属あるいはこれら金属を主成分とする合金、もしくはこれらの積層からなる。ついで、フォトリソなどを用いて写真製版を行ない、エッチング法などにより第1の金属層から不要部分を除去して、ゲート電極12、ゲート配線13、共通配線14、下部パッド15を形成する。この状態が図3(a)である。

【0013】つぎに、 $\text{SiN}_x$ 、 $\text{SiO}_2$ などからなる絶縁膜(ゲート絶縁膜)16を、プラズマCVDなどの各種CVD法やスパッタ、蒸着、塗布法などにより形成し、さらにa-Si:H層(第1の半導体層)17、リン、アンチモン、ボロンなどの不純物をドーピングしたたとえばn+a-Si:H膜やマイクロクリスタルn+Si層などの半導体層(不純物半導体層、第2の半導体層)18を、プラズマCVD法やスパッタなどにより形成する。さらに、スパッタなどの手法を用いて第2の金属層19を形成する。第2の金属層は、Cr、Al、M

oなどの金属あるいはこれら金属を主成分とする合金、もしくはこれらの積層からなる。

【0014】ついで、フォトリソRを塗布し、写真製版法などにより、フォトリソRの厚さが厚い領域A、フォトリソRの厚さが薄い領域B、フォトリソRを除去した領域Cからなるレジストパターンを形成する。この状態が図3(b)である。

【0015】つぎに、このレジストパターンを用いて、第2の金属層19のエッチングを行なう。フォトリソRのない領域Cの第2の金属層19が、選択的に除去される。この状態が図3(c)である。

【0016】その後、領域BのフォトリソRの除去を行なう。このとき、領域AのフォトリソRは厚さが厚いため、除去されずに残される。この状態が図3(d)である。

【0017】つぎに、領域Aに残ったフォトリソRを使用して、まず、半導体層18、17のエッチングを行なって領域Cの半導体層18、17を除去し、その後第2の金属層19のエッチングを行なって領域Bの第2の金属層19を除去する。この状態が図3(e)および図4(a)である。

【0018】さらに、領域Bの半導体層18をエッチングにより除去し、その後、フォトリソRをすべて取り除く。この状態が図4(b)である。基板上に、ソース配線20、ソース電極21、ドレイン電極22、下部パッド23が形成されている。

【0019】続いて、保護膜35を全面に成膜したのち、フォトリソなどを用いて写真製版を行ない、エッチング法などによりコンタクトホール24、25、26を形成する。この状態が図4(c)である。

【0020】最後に、ITO(Indium Tin Oxide)を全面に成膜し、フォトリソなどを用いて写真製版を行ない、エッチング法などによって不要部分を除去してITO画素電極27、上部パッド28、29を形成する。この状態が図4(d)である。

【0021】

【発明が解決しようとする課題】以上説明した製造方法によれば、合計4回の写真製版、つまり4枚のフォトマスクによってTFTアレイ基板を製作することができるため、工程の短縮、コストの低減が可能である。

【0022】しかしこの製造法では、ソース配線20、ソース電極21、ドレイン電極22および下部パッド23と、これらの下部に位置する半導体層18および半導体層17を、同一のフォトリソRを用いて形成しており、また、エッチング手法やエッチング条件の相違により、第2の金属層19のエッチング時の配線の細り量(サイドエッチ量)が半導体層18および半導体層17のサイドエッチ量よりも大きいことから、図4(a)～(d)に見られるように、ソース配線20の横に半導体層18および半導体層17がはみ出した形状になる。

【0023】一般に、ソース配線20（第2の金属層19）の材料がCr、Al、Moなどの場合、サイドエッチ量は片側で0.5～1.0 $\mu$ m程度である。一方、半導体層18および半導体層17のサイドエッチ量はほぼ0 $\mu$ mである。したがって、写真製版に使用するフォトマスクでのソース配線幅を10 $\mu$ mとした場合、実際に形成されるソース配線の幅は8～9 $\mu$ mとなり、半導体層18および半導体層17が1～2 $\mu$ m程度はみだして形成されることになる。

【0024】高輝度の表示を可能とし、表示品位にすぐれた液晶表示装置を得るためには、TFTアレイ基板の開口率を極力大きくすることが望ましい。またソース配線20に印加される信号の遅延を防止し、輝度ムラなどの表示品位の低下を防ぐためには、ソース配線20の抵抗は極力小さくすることが望ましい。

【0025】もし、半導体層18および半導体層17のはみ出しを除去することができれば、ソース配線20の幅を小さくすることなく、つまりソース配線20の抵抗を増大させることなく、開口率の向上をはかることができる。また、同一の開口率であれば、ソース配線20の幅をより大きくすることができ、ソース配線20の低抵抗化をはかることができる。

【0026】さらに、はみ出した半導体層18および半導体層17が、対向基板のコモン電極とのあいだに容量を形成し、ソースコモン間容量が増大するといった問題もある。

【0027】特に、前述した4枚のフォトマスクによるTFTアレイ基板の製造方法においては、第2の金属層19（ソース配線20）は、複数回のエッチングにさらされることになる（図3（c）および図4（a）を参照）。

【0028】このため、ソース配線20のサイドエッチ量と半導体層18および半導体層17のサイドエッチ量との差はさらに大きいものとなり、たとえば、フォトマスクでのソース配線幅が10 $\mu$ mである場合、実際に形成されるソース配線の幅は6～7 $\mu$ m程度となり、半導体層18および半導体層17が3～4 $\mu$ m程度はみだして形成されることになる。

【0029】したがって、開口率の低下、ソース配線の抵抗増大、あるいはソースコモン間容量の増大といった問題はますます大きくなり、はみ出した半導体層18および半導体層17を除去することのできる製造方法が強く望まれていた。

【0030】そこで本発明は、アクティブマトリックス型液晶表示装置のTFTアレイの製造工程において、ソース配線横にはみだした半導体層を除去することを目的とする。

【0031】

【課題を解決するための手段】本発明は、ゲート配線、ソース配線およびTFT素子などを形成後、保護膜を成

膜し、該保護膜の一部を除去してコンタクトホールを形成する際に、ソース配線上の保護膜、ソース配線横の保護膜およびソース配線横のゲート絶縁膜を同時に除去し、ソース配線およびソース配線下の半導体層を露出させる。

【0032】さらに、露出した半導体層のうちソース配線横にはみ出している部分を、保護膜の一部を除去するためのレジストパターンおよび／またはソース配線をマスクとして除去する。

【0033】または、露出した半導体層のうちソース配線横にはみ出している部分を、一部を除去した後の保護膜および／またはソース配線をマスクとして除去する。

【0034】本発明の別の実施の形態では、ゲート配線、ソース配線およびTFT素子などを形成後、保護膜は成膜せず、露出しているソース配線下の半導体のうちソース配線横にはみ出している部分を、ソース配線をマスクとして除去する。

【0035】本発明のさらに別の実施の形態では、ソース配線形成時にソース配線横に半導体層を残すことにより、保護膜の一部を除去してコンタクトホールを形成する際に、ソース配線上およびソース配線横の保護膜だけが除去され、ソース配線横のゲート絶縁膜は除去されないようにした。

【0036】さらに、保護膜が除去されて露出した半導体層のうちソース配線横にはみ出している部分を、保護膜の一部を除去するためのレジストパターンおよび／またはソース配線をマスクとして除去する。

【0037】または、保護膜が除去されて露出した半導体層のうちソース配線横にはみ出している部分を、一部を除去した後の保護膜および／またはソース配線をマスクとして除去する。

【0038】本発明では、ITO膜の一部を選択的に除去する際に、ソース配線上のITO膜を除去せずに残すことにより、ITO膜でソース配線を覆うようにしてもよい。

【0039】

【発明の実施の形態】以下、本発明の実施の形態を、図を用いて説明する。

【0040】実施の形態1

本発明の第1の実施の形態を、図5、図6および図7を用いて説明する。図5、図6および図7は、逆スタガ型のTFTが設けられたTFTアレイ基板を例示して、その製造方法を説明した断面図である。

【0041】本発明の第1の実施の形態によるTFTアレイ基板の製造方法は、以下の工程からなる。

【0042】（1）まず、絶縁性基板11上に第1の金属層を成膜し、ついで、フォトレジストなどを用いて写真製版を行ない、エッチング法などにより第1の金属層から不要部分を除去し、ゲート電極12、ゲート配線13、共通配線14および下部パッド15を形成する（図

5(a))。

【0043】(2) つぎに、これらゲート電極12、ゲート配線13、共通配線14およびパッド層15を覆うように、 $\text{SiN}_x$ 、 $\text{SiO}_2$ などからなるゲート絶縁膜16、 $\text{a-Si}$ 層(非晶質半導体膜、第1の半導体層)17、 $\text{n+a-Si}$ 層(非晶質不純物半導体膜、第2の半導体層)18、第2の金属層19の4層を基板上に成膜する。

【0044】(3) フォトレジストRを塗布後、フォトマスクを用いて、フォトレジストRの厚さが厚い領域A、薄い領域B、フォトレジストRを除去した領域Cからなるレジストパターンを形成する。

【0045】フォトレジストRの厚い領域Aは、第2の金属層19をソース電極やドレイン電極、ソース配線やドレイン配線として残すための領域、フォトレジストRを除去した領域Cは、少なくとも第2の金属層19、第2の半導体層18および第1の半導体層17をエッチングして除去するための領域、フォトレジストRの薄い領域Bは第2の金属層19および第2の半導体層18が除去され、TFTのチャネル部38となる領域に、それぞれ対応している(図5(b))。

【0046】本実施の形態では、TFTのチャネル部38のみを領域Bとしている。TFTチャネル部38のみが領域Bである必要はないが、本実施の形態においては、少なくともものにソース配線20となる部分およびその近傍だけは、領域Bとしないことを特徴とする。

【0047】(4) つぎに、エッチングなどにより、まずC領域の第2の金属層19を除去する(図5(c))。

【0048】(5) その後、領域BのフォトレジストRの除去を行なう。このとき、領域AのフォトレジストRは厚さが厚いため、除去されずに残される(図5(d))。

【0049】(6) その後領域Cの半導体層18、17を、エッチングなどにより除去する(図5(e))。

【0050】(7) さらに、領域Bの第2の金属層19を除去する(図6(a))。

【0051】(8) つぎに、領域Bの第2の半導体層18を除去し、その後、フォトレジストRをすべて除去する(図6(b))。

【0052】ここまでの工程は従来の技術によるものと同一であり、すでに述べたように、第2の金属層19からなるソース配線20は、半導体層18および半導体層17にくらべてサイドエッチ量が大いため、ソース配線20の横に半導体層18および半導体層17がはみ出した状態となっている。

【0053】(9) この状態のTFTアレイ基板の表面上全面に保護膜35を成膜したのち、フォトレジストを塗布、フォトマスクを使用してレジストパターン36を形成する(図6(c))。

【0054】このレジストパターン36は、つぎの工程で保護膜35の一部を除去してコンタクトホール24、25、26を形成するためのものであるが、同時にソース配線20上およびその近傍の領域30の保護膜35も除去するようなパターンとされている。

【0055】(10) このレジストパターン36を利用して、保護膜35のエッチングを行ない、ドレイン電極22とITO画素電極27を電気的に接続するためのコンタクトホール24、下部パッド15と上部パッド28を電気的に接続するためのコンタクトホール25、下部パッド23と上部パッド29を電気的に接続するためのコンタクトホール26を形成する。このとき、すでに述べたように、ソース配線20上およびその近傍の領域30の保護膜35も除去されるが、同時に領域30のゲート絶縁膜16も除去される(図6(d))。

【0056】(11) つぎに、レジストパターン36およびソース配線20をマスクとして利用したエッチングを行ない、ソース配線20の横にはみ出している半導体層18、17を除去し、その後レジストパターン36を取り除く(図7(a))。

【0057】このとき、先にレジストパターンを取り除き、保護膜35およびソース配線20をマスクとして、はみ出している半導体層18、17をエッチングしてもよい。

【0058】またソース配線20を形成する第2の金属層19は、はみ出している半導体層18、17をエッチングする際に同時にエッチングされてしまうことがない材料、たとえばCrなど、である必要がある。

【0059】(12) その後、ITO膜を全面に成膜したのち、フォトレジストなどを用いて写真製版を行ない、エッチング法などによって該ITO膜の不要部分を除去するパターニングを行なうことにより、ITO画素電極27、上部パッド28、29を形成する(図7(b))。

【0060】以上説明したとおり、本実施の形態によれば、従来の製造方法と同一の合計4回の写真製版、つまり4枚のフォトマスクによってTFTアレイ基板を製作することができ、かつソース配線の横にはみ出した半導体層18および半導体層17を除去することができる。

【0061】したがって、製造に要する時間やコストの増大を招くことなく、TFTアレイ基板の開口率の向上およびソース配線の低抵抗化をはかることができ、またソース-コモン間容量の増大といった問題も解決することができる。

【0062】実施の形態2

本発明の第2の実施の形態を、図8を用いて説明する。

【0063】本実施の形態は、ソース配線20をITO膜37で被覆したことを特徴とする。

【0064】実施の形態1においては、図7(b)を見れば明らかなように、ソース配線20が露出している。



したがって、ソース配線20つまり第2の金属層19の材料として、液晶と反応性のない材料を選択する必要がある。

【0065】そこで本実施の形態では、ITO膜のパターニングを行なう際に、ソース配線20上のITO膜を残すことにより、ソース配線20およびソース配線20の下層に位置する半導体層17、18を覆うITO膜37を形成した。

【0066】ITO膜37がソース電極20を覆っているため、ソース配線20(第2の金属層19)の材料選択の自由度が増す。さらに、ソース配線20およびITO膜37がともに、ソース配線として機能するため、ソース配線の抵抗を低減することができる。また、万一ソース配線20が断線した場合にも、ITO膜37が冗長の役割を果たすため、信頼性も向上する。

#### 【0067】実施の形態3

本発明の第3の実施の形態を、図9、図10および図11を用いて説明する。図9、図10および図11は、逆スタガ型のTFTが設けられたTFTアレイ基板を例示して、その製造方法を説明した断面図である。

【0068】実施の形態1では、図7(b)を見れば明らかのように、ソース配線20の近傍の領域30において、ゲート絶縁膜16も除去されている。したがって、ソース配線20と共通配線14が隣接して設けられる場合には、両配線のあいだのショートが発生するおそれがある。そこで、本実施の形態では、ソース配線20近傍の領域30において、ゲート絶縁膜16を除去せずに残すようにした。

【0069】その工程を以下に説明する。

【0070】(1) まず、絶縁性基板11上に第1の金属層を成膜し、この第1の金属層を写真製版技術を用いてパターニングし、ゲート電極12、ゲート配線13、共通配線14および下部パッド15を形成する(図9(a))。

【0071】(2) つぎに、これらゲート電極12、ゲート配線13、共通配線14およびパッド層15を覆うように、ゲート絶縁膜16、第1の半導体層17、第2の半導体層18、第2の金属層19の4層を基板上に成膜する。

【0072】(3) フォトリソレジストRを塗布後、フォトマスクを用いて、フォトリソレジストRの厚さが厚い領域A(A<sub>1</sub>)、薄い領域B(B<sub>1</sub>)、フォトリソレジストRを除去した領域Cからなるレジストパターンを形成する。

【0073】実施の形態1においては、領域BはTFTのチャンネル部のみであったが、本実施の形態においては、のちにソース配線となる領域A<sub>1</sub>の近傍にもフォトリソレジストRの薄い領域B<sub>1</sub>を設ける(図9(b))。

【0074】(4) つぎに、エッチングなどにより、まずC領域の第2の金属層19を除去する(図9(c))。

【0075】(5) つぎに領域A(A<sub>1</sub>)のフォトリソレジストRは残しつつ、領域B(B<sub>1</sub>)のフォトリソレジストRを取り除く(図9(d))。

【0076】(6) その後、領域Cの半導体層18、17をエッチングなどにより除去する(図9(e))。

【0077】(7) さらに、領域B(B<sub>1</sub>)の第2の金属層19を除去する(図10(a))。

【0078】(8) つぎに、領域B(B<sub>1</sub>)の第2の半導体層18を除去し、その後、フォトリソレジストRをすべて除去する(図10(b))。

【0079】すでに述べたように、第2の金属層19からなるソース配線20は、第2の半導体層18にくらべてサイドエッチ量が大きいため、ソース配線20の横に第2の半導体層18がはみ出した状態となっている。

【0080】(9) この状態のTFTアレイ基板の表面上全面に保護膜35を成膜したのち、フォトリソレジストを塗布、フォトマスクを使用して写真製版を行ないレジストパターン36を形成する(図10(c))。

【0081】このレジストパターン36は、つぎの工程で保護膜35の一部を除去してコンタクトホール24、25、26を形成するためのものであるが、同時にソース配線20上およびその近傍の領域30の保護膜35も除去するようなパターンとされている。

【0082】(10) このレジストパターン36を利用して、保護膜35のエッチングを行ない、コンタクトホール24、25、26を形成するが、すでに述べたように、ソース配線20上および近傍の領域30の保護膜35も除去される(図10(d))。

【0083】(11) つぎに、レジストパターン36およびソース配線20をマスクとして利用してエッチングを行ない、ソース配線20の下層にはみ出している半導体層18、およびソース配線20近傍の半導体層17を除去し、その後レジストパターンを取り除く(図11(a))。

【0084】このとき、先にレジストパターンを取り除き、保護膜35およびソース配線20をマスクとして、はみ出している半導体層18、および半導体層17をエッチングしてもよい。

【0085】またソース配線20を形成する第2の金属層19は、半導体層18および半導体層17をエッチングする際に同時にエッチングされてしまうことがない材料、たとえばCrなど、である必要がある。

【0086】(12) その後、ITO膜を全面に成膜したのち、写真製版技術を用いてパターニングをすることにより、ITO画素電極27、上部パッド28、29を形成する(図11(b))。

【0087】以上説明したとおり、本実施の形態によれば、ソース配線20近傍のゲート絶縁膜16が除去されずに残るため、ソース配線20と共通配線14とのあいだのショートが発生するおそれはなくなる。

【0088】本実施の形態では、ソース配線20が露出しているが、実施の形態2と同様に、ソース配線20をITO膜で被覆することももちろん可能である。

#### 【0089】実施の形態4

本発明の第4の実施の形態を、図12および図13を用いて説明する。図12および図13は、逆スタガ型のTFTが設けられたTFTアレ基板を例示して、その製造方法を説明した断面図である。

【0090】本実施の形態は、保護膜35を省略した点で実施の形態1と異なっている。

【0091】その工程を以下に説明する。

【0092】(1) まず、絶縁性基板11上に第1の金属層を成膜し、この第1の金属層を写真製版技術を用いてパターニングし、ゲート電極12、ゲート配線13、共通配線14および下部パッド15を形成する(図12(a))。

【0093】(2) つぎに、これらゲート電極12、ゲート配線13、共通配線14およびパッド層15を覆うように、ゲート絶縁膜16、第1の半導体層17、第2の半導体層18、第2の金属層19の4層を基板上に成膜する。

【0094】(3) フォトレジストRを塗布後、フォトマスクを用いて、フォトレジストRの厚さが厚い領域A、薄い領域B、フォトレジストRを除去した領域Cからなるレジストパターンを形成する(図12(b))。

【0095】(4) つぎに、エッチングなどにより、まずC領域の第2の金属層19を除去する(図12(c))。

【0096】(5) つぎに領域AのフォトレジストRは残しつつ、領域BのフォトレジストRを取り除く(図12(d))。

【0097】(6) その後、領域Cの半導体層18、17をエッチングなどにより除去する(図12(e))。

【0098】(7) さらに、領域Bの第2の金属層19を除去する(図13(a))。

【0099】(8) つぎに、領域Bの第2の半導体層18を除去し、その後、フォトレジストRをすべて除去する(図13(b))。

【0100】ここまでの製造工程は、実施の形態1と同一であり、すでに述べたように、ソース配線20の横に半導体層18および半導体層17がはみ出した状態となっている。

【0101】(9) この状態のTFTアレ基板の表面にフォトレジストを塗布、フォトマスクを使用してレジストパターンを形成し、下部パッド15上のゲート絶縁膜16にコンタクトホールを形成する。さらに、ソース配線20をマスクとしたエッチングにより、ソース配線20の下層にはみ出している半導体層18および半導体層17を除去する(図13(c))。

【0102】(10) その後、ITO膜を全面に成膜し

たのち、写真製版技術を用いてパターニングをすることにより、ITO画素電極27、上部パッド28、29を形成する。本実施の形態では、ITO画素電極27とドレイン電極22、上部パッド層29と下部パッド23はコンタクトホールを介さず、直接にコンタクトしている(図13(d))。

【0103】実施の形態1においては、ソース配線20の横にはみ出した半導体層18および半導体層17を除去するために、ソース配線20近傍の保護膜35を除去しており、このとき同時にソース配線20近傍のゲート絶縁膜16も除去されている(図6(d))。したがって、ソース配線20と共通配線14が隣接して設けられる場合には、両配線のあいだのショートが発生するおそれがある。

【0104】本実施の形態によれば、保護膜35を除去する必要がないため、ソース配線20近傍のゲート絶縁膜16が除去されることもない。したがって、ソース配線20と共通配線14が隣接して設けられる場合でも、両配線のあいだのショートが発生するおそれはない。

【0105】本実施の形態では、ソース配線20が露出しているが、実施の形態2と同様に、ソース配線20をITO膜で被覆することももちろん可能である。

【0106】本実施の形態によれば、保護膜35を省略したため、より低コストかつ短時間でTFTアレ基板を作製することができ、かつ、ソース配線20の横にはみ出した半導体層18および半導体層17を除去できるため、開口率の向上およびソース配線の低抵抗化をはかることができ、またソース・コモン間容量の増大といった問題も解決することができる。

#### 【0107】実施の形態5

本発明の第5の実施の形態を図14を用いて説明する。図14は、逆スタガ型のTFTが設けられたTFTアレ基板を例示して、その製造方法を説明する断面図である。

【0108】前述した実施の形態4では、合計4枚のフォトマスク、つまり4回の写真製版工程によりTFTアレ基板を製造している。本実施の形態によれば、3枚のフォトマスク、つまり3回の写真製版工程によりTFTアレ基板を製造することが可能である。

【0109】実施の形態4においては、図13(c)に示した工程において、TFTアレ基板の表面にフォトレジストを塗布、フォトマスクを使用してレジストパターンを形成し、下部パッド15上のゲート絶縁膜16にコンタクトホールを形成した。

【0110】その後、ITO膜を全面に成膜し、写真製版技術を用いてパターニングをすることにより、ITO画素電極27、上部パッド28、29を形成する。したがって、下部パッド15と上部パッド28とはコンタクトホールを介して電氣的に接続されている。

【0111】本実施の形態では、ITO膜を成膜する前

に、フォトマスクを使用せず下部パッド15上のゲート絶縁膜16を除去する(図14(a))。除去は、TFTアレ基板の周辺部分のフォトレジストをマスクなして露光する周辺露光工程において、下部パッド15上のフォトレジストも露光させて除去し、露出した下部パッド15上のゲート絶縁膜16を続くエッチング工程によって除去することにより行なわれる。その後、ITO膜を全面に成膜し、写真製版技術を用いてパターンニングをすることにより、ITO画素電極27、上部パッド28、29を形成する(図14(b))。この場合、下部パッド15と上部パッド28とが直接接触し、電氣的に接続されている。

【0112】ゲート絶縁膜16にコンタクトホールを形成するための写真製版工程が不要になるため、3回の写真製版工程、つまり3枚のフォトマスクでTFTアレ基板を作製することが可能となり、さらなるコストの低減が可能である。

【0113】もちろん、他の実施の形態と同様、ソース配線20の横にはみ出した半導体層18および半導体層17を除去できるため、開口率の向上およびソース配線の低抵抗化をはかることができ、またソースコモン間容量の増大といった問題も解決することができる。

【0114】本実施の形態では、ソース配線20が露出しているが、実施の形態2と同様にして、ソース配線20をITO膜で被覆することももちろん可能である。

【0115】

【発明の効果】本発明の製造方法を適用することにより、従来の技術と同数の4枚のフォトマスク、あるいは従来の技術よりも少ない3枚のフォトマスクを使用した製造工程で、ソース配線の横にはみ出した半導体層を除去することが可能となり、開口率の低下、ソース配線抵抗の増大、ソースコモン電極間容量の増大を防止することができ、高品質の液晶表示装置を安価かつ短時間に製造することが可能となる。

【0116】さらに、ソース配線をITO膜で覆うことにより、ソース配線と液晶との反応を防止でき、ソース配線の材料選択の自由度を高めることができる。また、本来のソース配線にくわえITO膜もソース配線として機能するため、ソース配線の一層の低抵抗化がはかれ高品質の液晶表示装置が得られるとともに、ソース配線の断線の可能性が減少し、信頼性が向上する。

【図面の簡単な説明】

【図1】アクティブマトリックス型液晶表示装置の動作を説明するための図である。

【図2】TFTアレ基板の要部を拡大した平面図である。

【図3】従来の技術による、図2のTFTアレ基板の製造方法を説明する断面図である。

【図4】従来の技術による、図2のTFTアレ基板の製造方法を説明する断面図であり、図3に引き続く工程

を表わした図である。

【図5】本発明の実施の形態1による、TFTアレ基板の製造方法を説明する断面図である。

【図6】本発明の実施の形態1による、TFTアレ基板の製造方法を説明する断面図であり、図5に引き続く工程を表わした図である。

【図7】本発明の実施の形態1による、TFTアレ基板の製造方法を説明する断面図であり、図6に引き続く工程を表わした図である。

【図8】本発明の実施の形態2による、TFTアレ基板の製造方法を説明する断面図である。

【図9】本発明の実施の形態3による、TFTアレ基板の製造方法を説明する断面図である。

【図10】本発明の実施の形態3による、TFTアレ基板の製造方法を説明する断面図であり、図9に引き続く工程を表わした図である。

【図11】本発明の実施の形態3による、TFTアレ基板の製造方法を説明する断面図であり、図10に引き続く工程を表わした図である。

【図12】本発明の実施の形態4による、TFTアレ基板の製造方法を説明する断面図である。

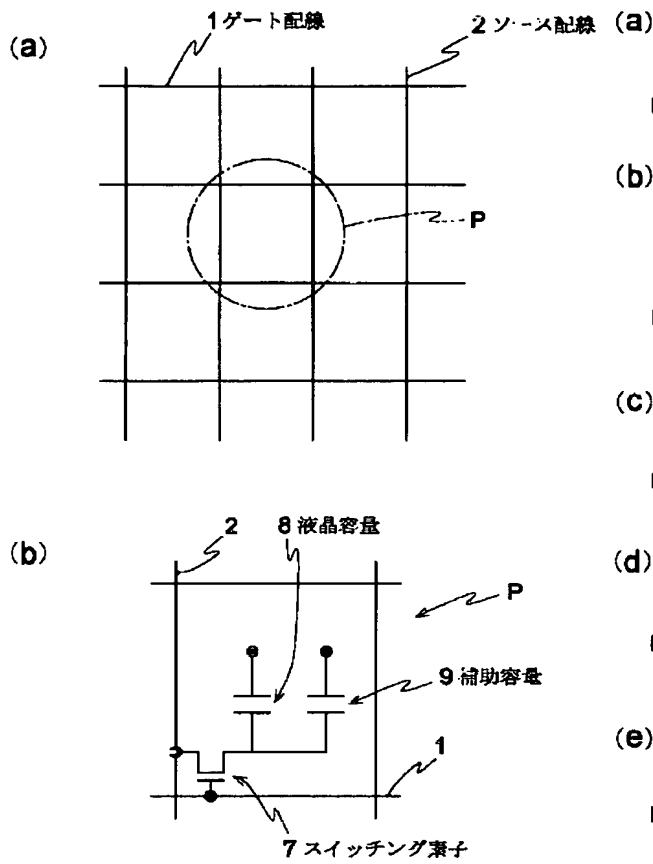
【図13】本発明の実施の形態4による、TFTアレ基板の製造方法を説明する断面図であり、図12に引き続く工程を表わした図である。

【図14】本発明の実施の形態5による、TFTアレ基板の製造方法を説明する断面図である。

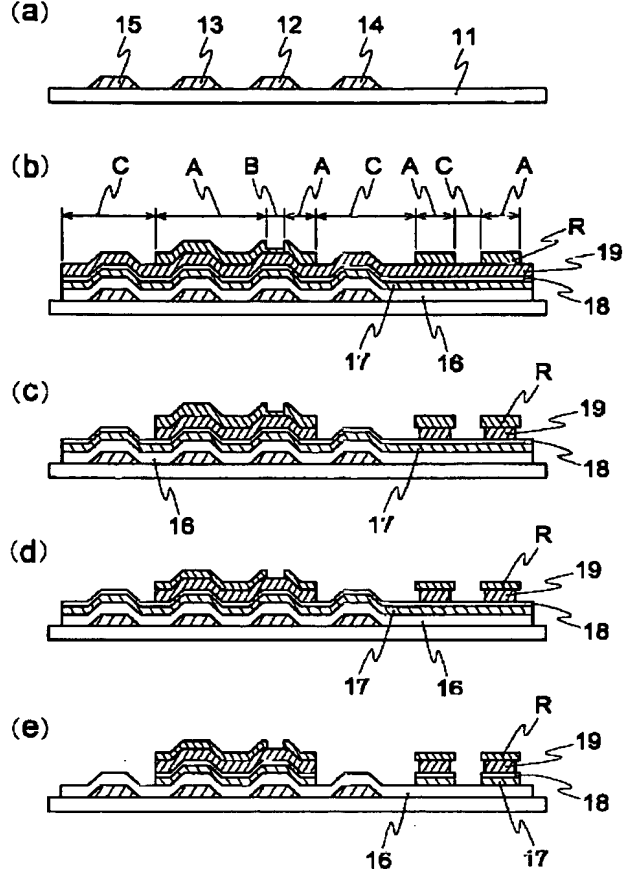
【符号の説明】

- 1 ゲート配線
- 2 ソース配線
- 7 スイッチング素子
- 8 液晶容量
- 9 補助容量
- 12 ゲート電極
- 13 ゲート配線
- 14 共通配線
- 15 下部パッド
- 16 ゲート絶縁膜
- 17 第1の半導体層
- 18 第2の半導体層(不純物半導体層)
- 19 第2の金属層
- 20 ソース配線
- 21 ソース電極
- 22 ドレイン電極
- 23 下部パッド
- 24、25、26 コンタクトホール
- 27 画素電極
- 28、29 上部パッド
- 35 保護膜
- 36 レジストパターン
- 37 ITO膜

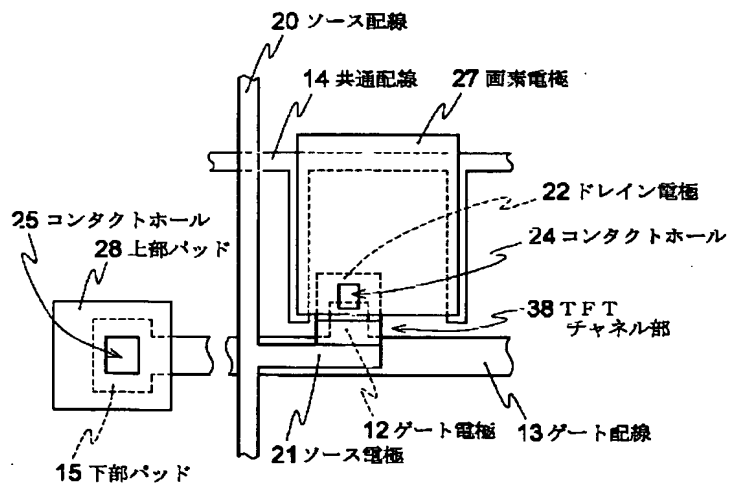
【図1】



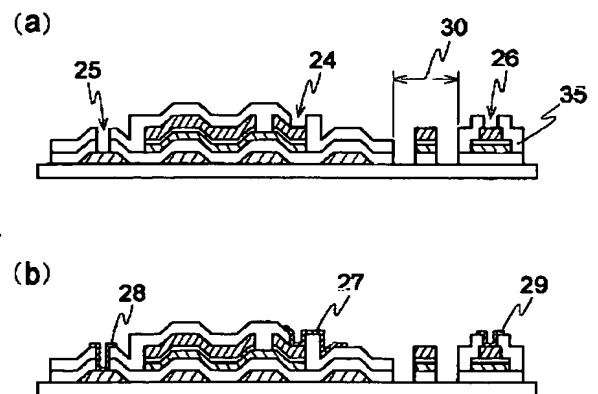
【図3】



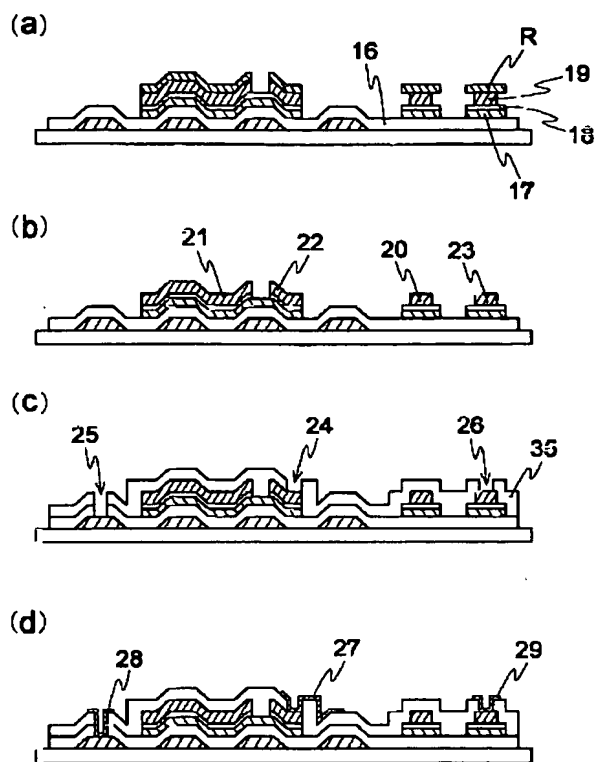
【図2】



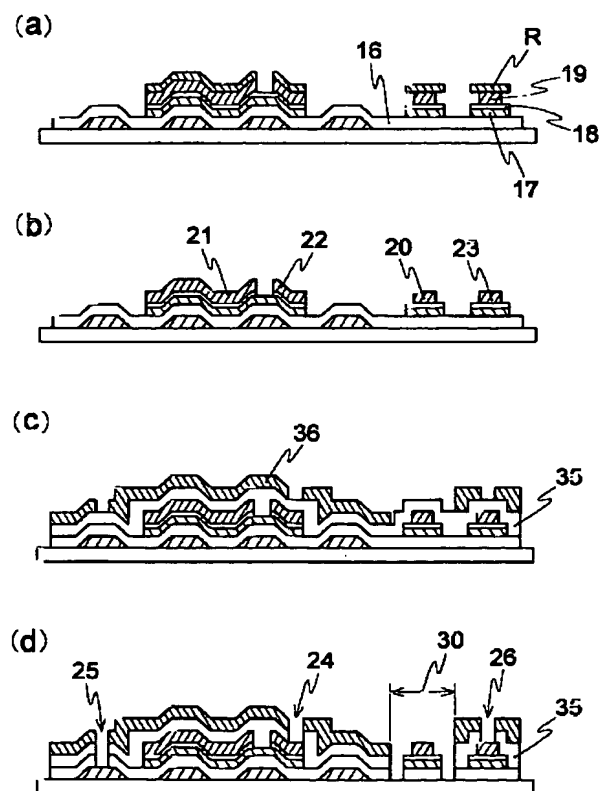
【図7】



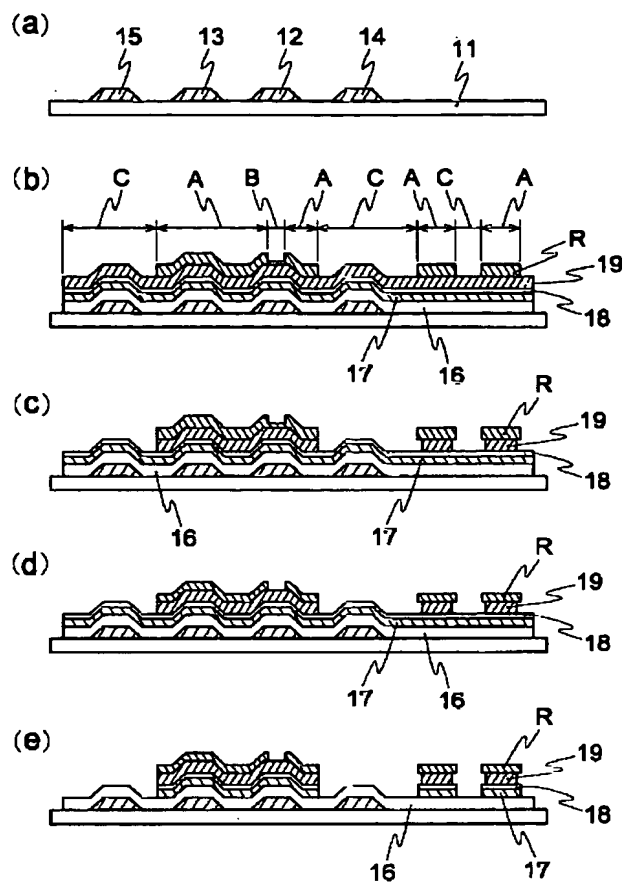
【図4】



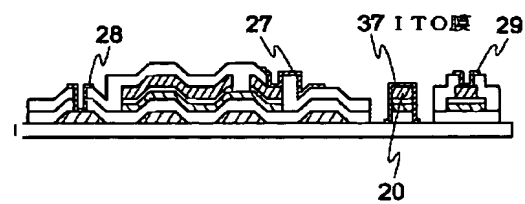
【図6】



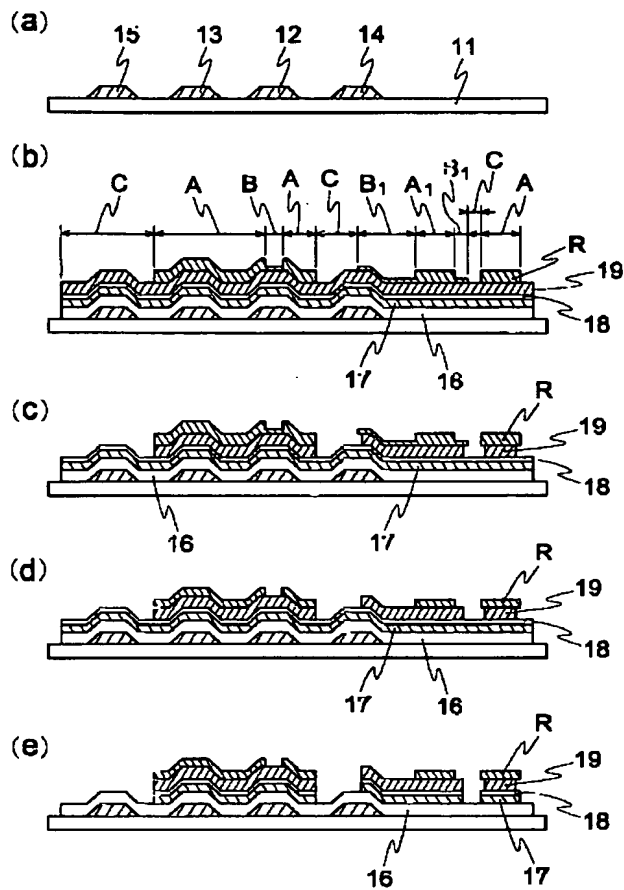
【図5】



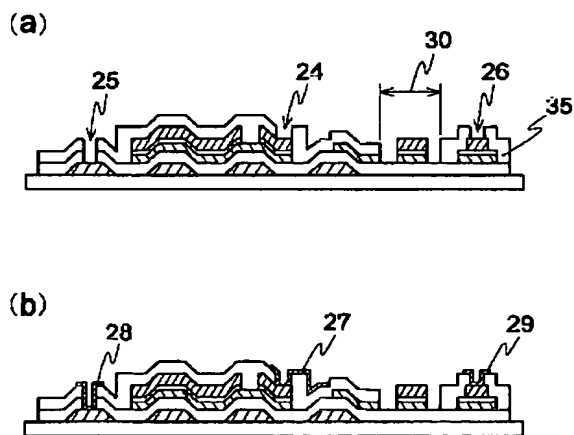
【図8】



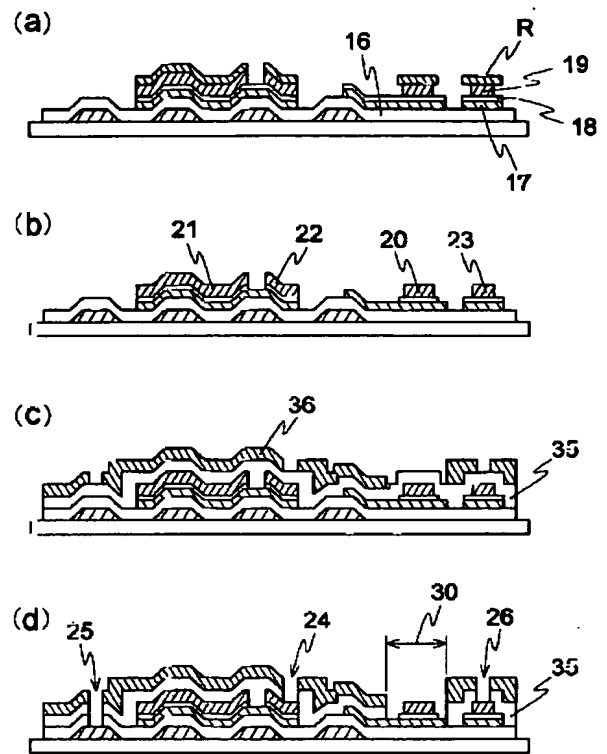
【図9】



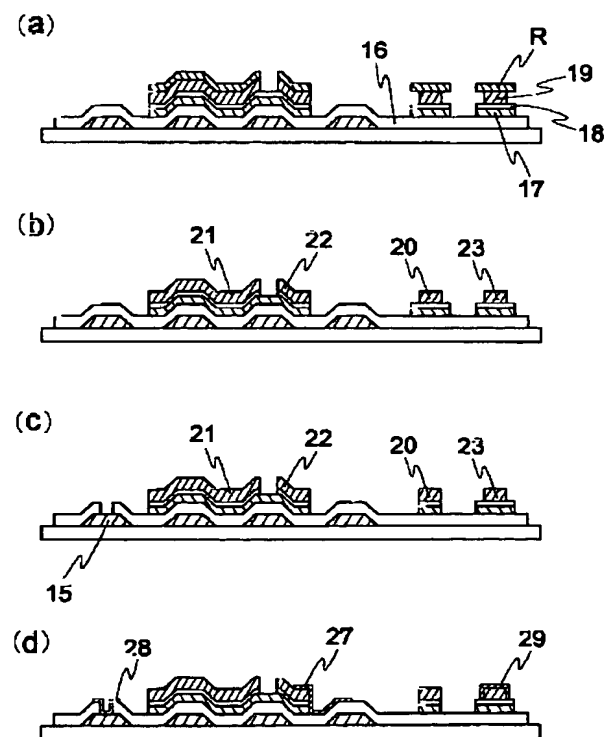
【図11】



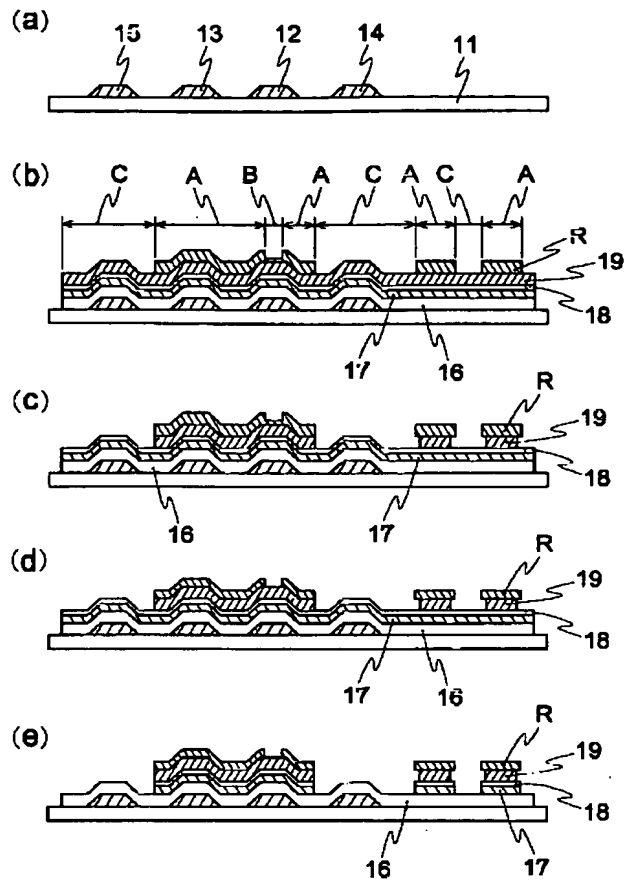
【図10】



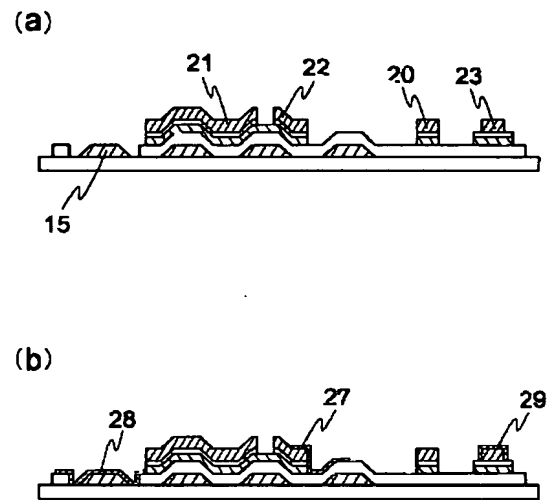
【図13】



【図12】



【図14】



フロントページの続き

Fターム(参考) 2H092 JA26 JA29 JA38 JA42 JA47  
 JB13 JB23 JB32 JB33 JB51  
 JB57 JB63 JB69 KA05 KA07  
 KB14 MA05 MA08 MA14 MA15  
 MA16 MA18 MA19 MA20 MA27  
 MA35 MA37 MA41 NA25 NA27  
 PA06  
 5C094 AA21 BA03 BA43 CA19 DA13  
 EA04 EA05 EA07 EB02  
 5F110 AA16 CC07 FF02 FF03 GG02  
 GG15 HK04 HK07 HK09 HK16  
 HK21 HK22 HL07 HM19 NN02  
 NN73 QQ01  
 5G435 BB12 EE34 EE40